

FMC361

用户手册

南京青厚电子科技有限公司

江苏省南京市江宁区将军大道 20 号

<http://www.njqhdz.cn/>

修订历史

日期	修订	版本
2013-7-25	最初发布	1.0

目 录

1 缩写和相关文档	1
1.1 缩写	1
1.2 相关文档	1
2 概述	2
3 安装	3
3.1 注意事项	3
3.2 LVDS 要求	3
4 设计	4
4.1 物理规格	4
4.1.1 电路板尺寸	4
4.1.2 前面板的同轴输入	4
4.2 电气特性	4
4.2.1 EEPROM	4
4.2.2 JTAG	4
4.2.3 FMC 连接器	4
4.3 主要特性	4
4.4 模拟输入通道	5
4.5 模拟输出通道	5
4.6 时钟管理	5
4.7 电源	6
5 FMC361 的控制	7
5.1 SPI 编程	7
6 环境	9
6.1 温度	9
6.2 冷却	9
6.2.1 对流冷却	9
6.2.2 传导冷却	9
7 安全性	9
8 电磁兼容性	9
附录 A LPC 管脚连接	10

缩写和相关文档

缩写

ADC	Analog to Digital Converter
DDR	Double Data Rate
DAC	Digital to Analog Converter
EPROM	Erasable Programmable Read-Only Memory
FBGA	Fineline Ball Grid Array
FPGA	Field Programmable Gate Array
JTAG	Join Test Action Group
LVDS	Low Voltage Differential Signaling
MSB	Most Significant Bit(s)
PCB	Printed Circuit Board

相关文档

- FPGA Mezzanine Card (FMC) standard ANSI/VITA 57.1-2010
- Datasheet AD9643 , Analog Devices
- Datasheet AD9516-3 , Analog Devices
- Datasheet DAC3484 , Texas Instruments

概述

FMC361 是一款双通道的 A/D，四通道 D/A 的子卡，子卡有 1 片双通道 14 位、最高采样速率为 250MPSP 的 A/D 芯片和 1 片四通道 14 位、最高转换速率为 1.25GPSP 的 D/A 芯片。

A/D 和 D/A 芯片的工作时钟由时钟输出发生器 AD9516 提供，AD9516 的参考时钟可以通过同轴电缆连接外部提供，或由片上晶振提供。

FMC361 子卡的机械和电气性能符合 FMC 标准 (ANSI/ VITA57.1)。该卡具有高引脚数连接器，并且可用于传导冷却环境。

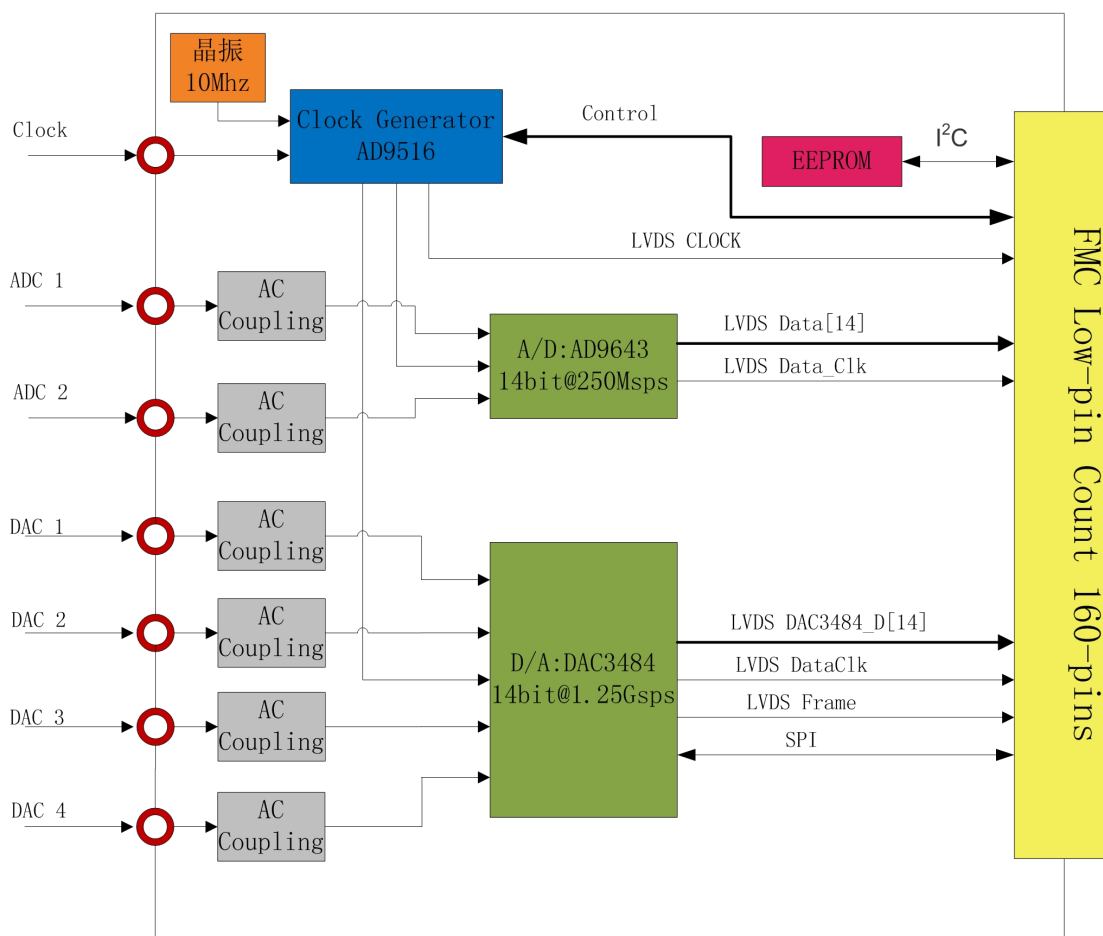


图 1 : FMC361 框图

安装

注意事项

- FMC361 子卡必须安装在兼容的 FMC 标准的载板上。
- 在使用子卡时，不要对卡进行弯曲，同时做好防静电措施。

LVDS 要求

A/D 通道是基于 ADI 公司的 AD9643 芯片，最高采样频率为 250Msps，每片芯片有两个 A/D 通道。两个通道的数据通过最高速率为 500Msps 的 DDR LVDS 对输出。

D/A 通道是基于 TI 公司的 DAC3484 芯片，最高转换频率为 1.25Gsps，每片芯片有 4 个 D/A 通道，每个通道最高的数据采样速率 307.2Msps。四个通道的数据共用 DDR LVDS 对输出，通过最高数据速率为 1.25Gsps。

设计

物理规格

电路板尺寸

FMC361 子卡完全符合 ANSI/ VITA57.1 中的 FMC 标准。该卡是一个单一宽度的传导冷却夹层模块。

前面板的同轴输入

子卡有 7 个 MCX-KWE 输入接口，从上到下分别是模拟输入 1，模拟输入 2，模拟输出 1，模拟输出 2，模拟输出 3，模拟输出 4，时钟输入。

电气特性

FMC361 子卡上的 AD9643 供电电压为 1.8V，因此 FMC 插座上供电为 +3.3V，通过 AS1117-1.8 将电压降至 1.8V。DAC3484 供电电压为 1.2V，通过 LT1764EQ 将 FMC 插座上的 +3.3V 电压降至 1.2V。

EEPROM

FMC361 卡带有 2K 位 EEPROM (24LC02B)，载卡可以通过 I2C 总线对其进行访问。EEPROM 的供电由 3P3VAUX 提供。当 SCL 和 SDA 保持在 3P3VAUX 电平时，待机电流仅为 0.01 μ A。由于这两个信号在卡上有上拉电阻，因此可以悬空。

JTAG

FMC361 板卡的 TDO 引脚和 TDI 是连接到一起以保证 JTAG 链路的畅通，其他的 JTAG 的引脚 TCK, TMS a 和 TRST 都是悬空的。

FMC 连接器

低引脚数连接器只有 LA 和两对专用的时钟差分对。

主要特性

模拟输入	
通道数	2
通道分辨率	14-bit
输入电压范围	2Vp-p (tbd)
输入阻抗	50 Ω (交流耦合)
中频最高输入频率	400MHz
SNR	tbd (70.6 dBFS) ¹

SFDR	tbd (85 dBc) ¹
模拟输出	
通道数	4
通道分辨率	14-bit
输出电压范围	2V _{p-p} (tbd)
输出阻抗	50 Ω (交流耦合)
SFDR	tbd (77 dBc) ²
输出带宽	250M (根据 da 输出交流耦合的变压器决定, 最高 625MHz)
ADC 输出	
数据位宽	每两个通道共用 14 对差分对
数据格式	二进制补码
采样时钟范围	最高 250MHz
DAC 输入	
数据位宽	四个通道共用 14 对差分对
数据格式	二进制补码
采样时钟范围	最高 1.25GHz
卡上参考时钟	
类型	单端信号
频率范围	10MHz 可以根据用户需求更改
外部输入参考时钟	
类型	单端信号 (功率为 5~10dBm)
频率范围	20MHz~250MHz

1. AD9643 datasheet 中信号频率为 185MHz, 采样速率为 250Msps 时的测试结果
2. DAC3484 datasheet 中信号频率为 50MHz, 转换速率为 1.25Gsps 时的测试结果

模拟输入通道

FMC361 卡有两个单端输入交流耦合的 A/D 通道。模拟信号经过一个简单的电阻分压网络, 对信号进行衰减后接入宽带射频变压器变成差分信号送入 AD9643 进行模数转换。AD 最大输入信号范围为 2V_{p-p}。

模拟输出通道

FMC361 卡有四个单端输出交流耦合的 D/A 通道。DAC3484 输出的差分模拟信号经过变压器转换成单端的输出的模拟信号。DA 输出信号的最大范围为 1V_{p-p}。

时钟管理

FMC361 卡上的时钟是通过 AD9516 进行管理，输入时钟可以采用片上晶振和外部同轴电缆提供，输出时钟的频率可以有 AD9516 的配置寄存器灵活设置。

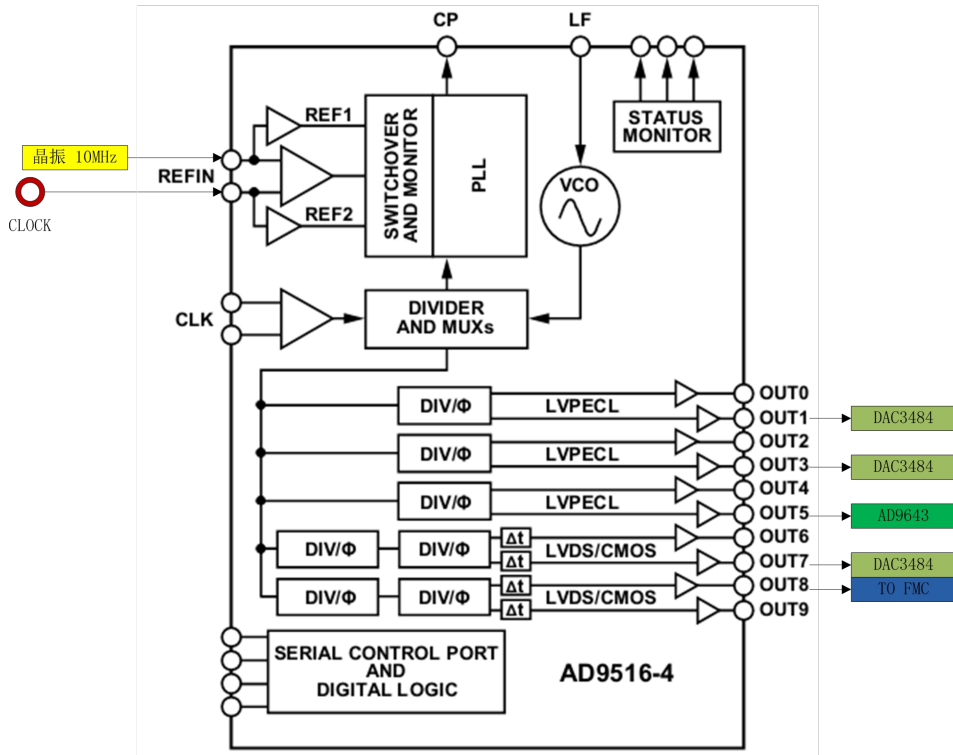


图 3 时钟管理示意图

电源

FMC361 子卡的供电是用 FMC 连接器来提供的。虽然单个电源引脚的最大支持电流可以到 2.7A，但是 FMC 子卡的设计还是要根据 FMC 标准中的规定限制管脚的电流。FMC 标准电源要求如下表所示：

电压	管脚数	最大电流	最大功率
+3.3V	4	3A	10W
+12V	2	1A	12W
VADJ(+2.5V)	4	4A	10W
VIO_B(+2.5V)	2	1.15A	2.3W

表 3：FMC 标准电源要求

由于载板提供的电源很可能会混入一些噪声，因此在子卡在给时钟芯片和 A/D 供电之前，必须对电源进行滤波处理。

FMC361 的控制

FMC361 可以通过 FMC 连接器由载板 FPGA 使用 SPI 总线控制。子卡上的可控芯片有 AD9516 和 DAC3484，用户可以通过 SPI 总线对 AD9516 的寄存器控制来改变输出时钟的参考源和输出频率，也可以通过 SPI 总线对 DAC3484 的寄存器进行配置来改变 DA 工作的模式。虽然子卡上的 AD9643 也带有 SPI 接口，但是大多数的应用场合只需要寄存器的默认设置即可，同时为了节省 FMC 的管脚，因此该芯片的 SPI 接口就不再往外连接。

SPI 编程

AD9516 的 SPI 控制时序可以根据它的 datasheet 来进行设计，SPI 的时序图如下所示：

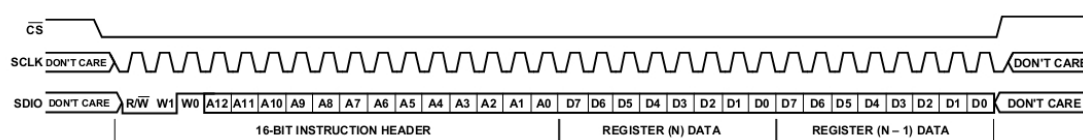


图 4 串行控制端口写指令（最高位在前，16 位指令，两个字节的数据）

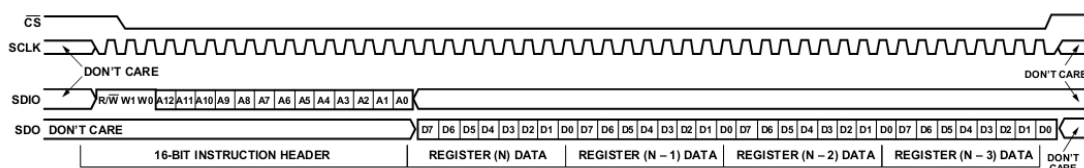


图 5 串行控制端口读指令（最高位在前，16 位指令，四个字节的数据）

DAC3484 的 SPI 控制时序可以根据它的 datasheet 来进行设计，SPI 的时序图如下所示：

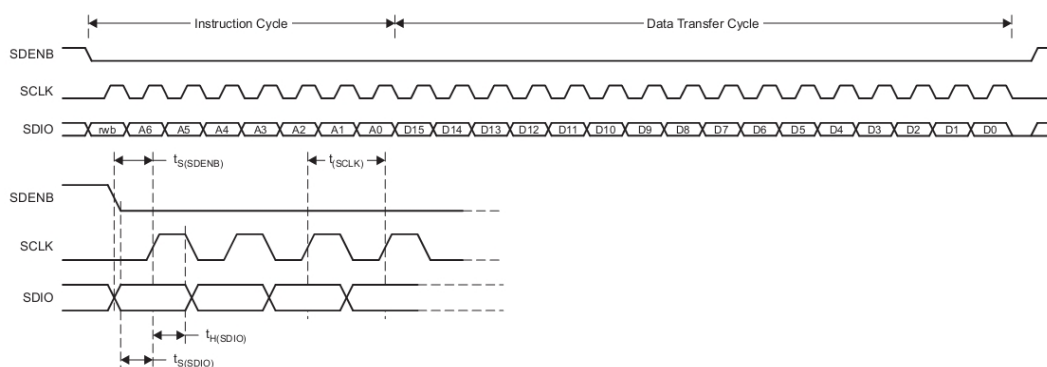


图 6 DAC3484 写指令

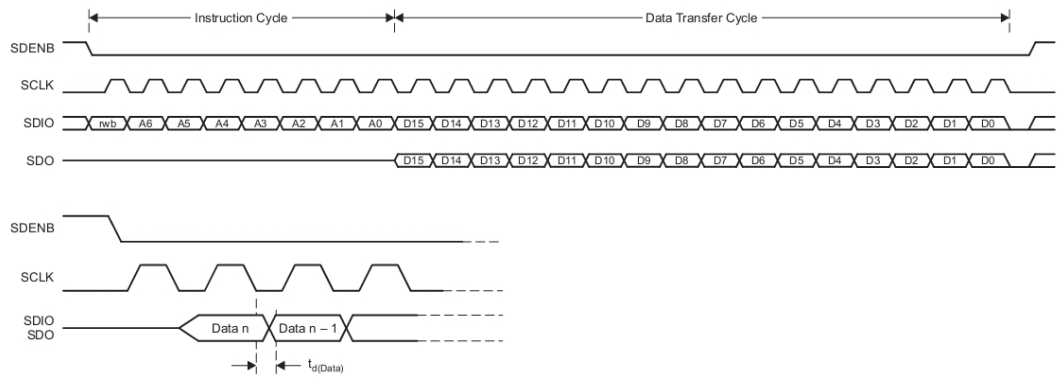


图 DAC3484 读指令

环境

温度

工作温度

- -40°C to +85°C (Industrial)

贮藏温度

- -40°C to +120°C

冷却

FMC361 有两种有效的冷却方式

对流冷却

冷却气流流过被冷却芯片的表面时，通过对流换热，带走部分热量，使其降温的冷却方式。一般通过在子卡上增加一个低轮廓的风扇来增加空气流动，带走芯片产生的部分热量以达到降低温度的目的。

传导冷却

在苛刻的环境下，机箱内的环境温度可能会接近在这份文件中定义的工作温度。在这种条件下，功耗器件的温度非常有可能将超过设备制造商推荐的工作条件。因此低轮廓散热器，加上足够的空气流动会产生一些积极的冷却效果，可能足以维持规定范围内的温度。

安全性

这个模块对用户没有任何危害

电磁兼容性

当该模块运行在一个封闭的主机系统时，由该系统提供电磁屏蔽。在欧盟范围内 EMC 准则的操作不能保证，除非它被安装在一个适当的主机系统中。

附录 A LPC 管脚连接

	K	J	I	H	G	F	E	D	C	B	A
1				N.C.	N.C.			N.C.	GND		
2				GND	GND			GND	N.C.		
3				GND	GND			GND	N.C.		
4				FPGA_CLK_P	N.C.			N.C.	GND		
5				FPGA_CLK_N	N.C.			N.C.	GND		
6				GND	AD9516_SDIO_2.5V			GND	N.C.		
7				DAC3484_1_D12_P	DAC3484_1_SDEN_B_2.5V			GND	N.C.		
8				DAC3484_1_D12_N	GND			DAC3484_1_D13_P	GND		
9				GND	DAC3484_1_D11_P			DAC3484_1_D13_H	GND		
10				DAC3484_1_D10_P	DAC3484_1_D11_N			GND	DAC3484_1_D8_P		
11				DAC3484_1_D10_N	GND			DAC3484_1_D9_P	DAC3484_1_D8_N		
12				GND	DAC3484_1_D7_P			DAC3484_1_D9_N	GND		
13				DAC3484_1_D6_P	DAC3484_1_D7_N			GND	GND		
14				DAC3484_1_D6_N	GND			DAC3484_1_DATACLK_P	DAC3484_1_FRAME_N		
15				GND	DAC3484_1_D4_P			DAC3484_1_DATACLK_N	DAC3484_1_FRAME_P		
16				DAC3484_1_D5_P	DAC3484_1_D4_N			GND	GND		
17				DAC3484_1_D5_N	GND			DAC3484_1_D3_P	GND		
18				GND	DAC3484_1_D0_P			DAC3484_1_D3_N	DAC3484_1_D2_P		
19				DAC3484_1_D1_P	DAC3484_1_D0_N			GND	DAC3484_1_D2_N		
20				DAC3484_1_D1_N	GND			AD9643_1_DCO_P	GND		
21				GND	AD9516_LD_2.5V			AD9643_1_DCO_N	GND		
22				AD9643_1_D0_P	AD9516_RESET_B_2.5V			GND	AD9516_SCLK_2.5V		
23				AD9643_1_D0_N	GND			AD9643_1_D1_P	AD9516_CS_B_2.5V		
24				GND	AD9643_1_D2_P			AD9643_1_D1_N	GND		
25				AD9643_1_D3_P	AD9643_1_D2_N			GND	GND		
26				AD9643_1_D3_N	GND			AD9643_1_D4_P	AD9643_1_D5_P		
27				GND	AD9643_1_D6_P			AD9643_1_D4_N	AD9643_1_D5_N		
28				AD9643_1_D7_P	AD9643_1_D6_N			N.C.	GND		
29				AD9643_1_D7_N	GND			N.C.	GND		
30				GND	AD9643_1_D8_P			N.C.	FMC_HPC_I2C_SCL		
31				AD9643_1_D9_P	AD9643_1_D8_N			N.C.	FMC_HPC_I2C_SDA		
32				AD9643_1_D9_N	GND			N.C.	FMC_HPC_I2C_GA0		
33				GND	AD9643_1_D10_P			N.C.	GND		
34				AD9643_1_D11_P	AD9643_1_D10_N			N.C.	GND		
35				AD9643_1_D11_N	GND			FMC_HPC_I2C_GA1	N.C.		
36				GND	AD9643_1_D12_P			+3.3V	GND		
37				AD9643_1_D13_P	AD9643_1_D12_N			GND	N.C.		
38				AD9643_1_D13_N	GND			+3.3V	GND		
39				GND	N.C.			GND	+3.3V		
40				N.C.	GND			+3.3V	GND		
				LPC	LPC			LPC	LPC		

黑色粗边框表示_CC 信号，同一个颜色的差分对是根据 AV57.1 规范 Table 14 要求建议连接到 FPGA 的相同 bank 上面。